

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

05-159080

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

G06F 15/78
G06F 1/10

(21)Application number : 03-349023

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.12.1991

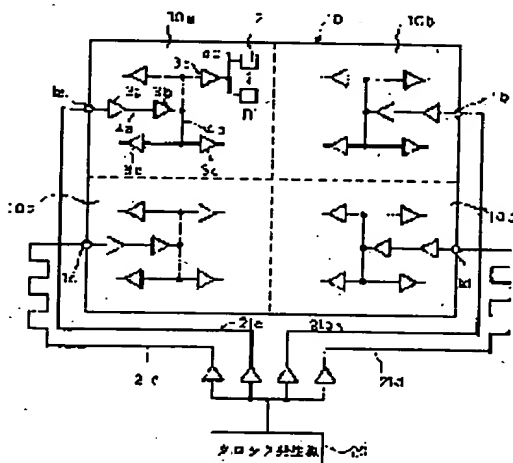
(72)Inventor : TAKAHASHI TOSHIRO
KOIDE KAZUO

(54) LOGICAL INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide a technique which can design a clock distribution system comparatively easily making a clock skew to be minimum.

CONSTITUTION: This circuit is designed by dividing a semiconductor chip 10 into the plural blocks 10a to 10d of which area are mostly equal one another, respectively/individually providing the clock distribution system including clock input terminals 1a to 1d, buffer circuits 3a to 3c and phase adjusting circuits for respective blocks and providing the clock distribution system in the shape of a tree for the respective blocks so that the wiring between respective nodes are equal in length and capacitance. Consequently, as the semiconductor 10 is divided into the plural blocks 10a to 10d, the wiring length from the clock input terminals 1a to 1d to flip-flops, etc., at ends become short so that the wiring designation of the equal length and capacity becomes easy, and a clock delay time from input terminals to the end circuits become short so that the absolute value of clock can be reduced.



LEGAL STATUS

[Date of request for examination]

09.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-159080

(43)公開日 平成5年(1993)6月25日

(51)IntCl³G 0 6 F 15/78
1/10

識別記号

5 1 0 P 7530-5L

庁内整理番号

7368-5B

FI

G 0 6 F 1 / 0 4

3 3 0 A

技術表示箇所

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号 特願平3-349023

(22)出願日 平成3年(1991)12月5日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 高橋 敏郎
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 小出 一夫
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 大日方 富雄

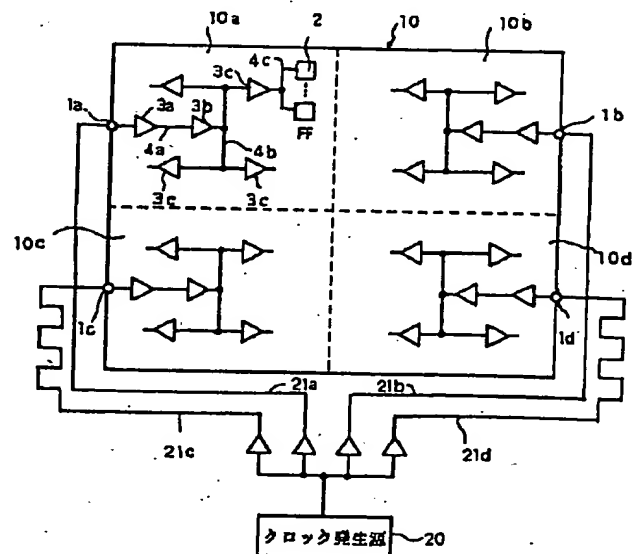
(54)【発明の名称】 論理集積回路

(57)【要約】

【目的】 比較的簡単にクロックスキューを最小にするクロック分配系を設計可能な手法を提供する。

【構成】 半導体チップを互いに面積がほぼ等しい複数のブロックに分割し、かつ各ブロックごとにクロック入力端子とバッファ回路および位相調整回路を含むクロック分配系をそれぞれ独立に構成するとともに、各ブロックごとにクロック分配系をツリー状に構成しかつ各ノード間の配線が等長かつ等容量となるように設計するようにした。

【効果】 半導体チップが複数のブロックに分割されているため、クロック入力端子から末端のフリップフロップ等までの配線長が短くなって等長かつ等容量の配線設計が容易になるとともに、入力端子から末端回路までのクロック遅延時間が短くなってクロックスキューの絶対値を小さくすることができる。



【特許請求の範囲】

【請求項1】 半導体チップ内が互いに面積がほぼ等しい複数のブロックに分割され、かつ各ブロックごとにクロック入力端子とこの端子に接続されたバッファ回路を含むクロック分配系がそれぞれ独立に設けられているとともに、各ブロックごとにクロック分配系がクロック供給先の末端回路に向かってしだいに枝分かれするように構成されかつ各段のバッファ回路の負荷が同一となるように形成されていることを特徴とする論理集積回路。

【請求項2】 半導体チップ内が互いに面積がほぼ等しい複数のブロックに分割され、かつ各ブロックごとにクロック入力端子とこの端子に接続されたバッファ回路および位相調整回路を含むクロック分配系がそれぞれ独立に構成されているとともに、外部から供給される参照用のクロック信号と、上記クロック分配系を介して末端回路に供給されるクロック信号とが、上記位相調整回路に帰還され、クロック信号の位相調整が行なわれるように構成されていることを特徴とする論理集積回路。

【請求項3】 半導体チップ内が互いに面積がほぼ等しい複数のブロックに分割され、かつ各ブロックごとにクロックバッファ回路および位相調整回路を含むクロック分配系がそれぞれ独立に構成されているとともに、外部から供給される参照用のクロック信号と、共通のクロック端子から入力されたクロック信号とが、上記位相調整回路に供給され、クロック信号の位相調整が行なわれるように構成されていることを特徴とする論理集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、論理集積回路技術さらにはクロック信号の供給方式に適用して特に有効な技術に関し、例えば論理LSIにおけるクロック信号の分配回路に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、論理LSIにおいては、1つのクロック信号あるいは位相の異なる複数のクロック信号に同期してLSI全体を動作させることがある。このような場合、外部から供給された基本クロック信号をLSI内の各部のフリップフロップ等に分配することにより、デコードやメモリのリード・ライト、各種演算等の動作を行なうが、クロックの分配元から供給先までの配線長が異なったりしていると、各クロックの到達タイミングにずれ（クロックスキュー）が発生する。クロックスキューがあると、フリップフロップでは誤った信号を取り込んだり、論理ゲートでは出力に不所望のひげ状パルスが発生して回路が誤動作するおそれがある。従って、クロック同期型LSIでは、クロックスキューの大小が、LSIの性能（動作速度）を決定する要因となる。

【0003】 そこで、従来はこのクロックスキューを最小にするため、例えば図6に示すように、LSIのクロック入力端子1から末端のフリップフロップ2まで、複

数のバッファ回路3a, 3b, 3c……を設けてクロック供給線4をツリー状に接続する。すなわち、クロックを2倍、4倍、8倍……のようにしだいに分配させ、かつ各段のバッファ回路の負荷容量（配線容量および次段ゲートの入力容量等）が一致するように、クロック分配系を設計する手法が採用されていた（CICC' 91 Mikio Yamagishi他 "A Two-Chip CMOS 64b Mainframe Processor Chipset" P ~P 参照）。

10 【0004】

【発明が解決しようとする課題】 しかしながら、論理LSIにおけるクロックスキューは各バッファ回路の負荷容量のみならずバッファ回路を構成するトランジスタの性能バラツキや電源電圧の変動、温度バラツキ、配線容量バラツキ、ゲート容量バラツキ、配線抵抗バラツキ等、種々の原因によって生じる。一方、LSIは近年ますます大チップ化および高集積化される傾向にあるため、クロック入力端子から末端のフリップフロップ等までの距離がますます長くなり、しかも配線抵抗はパターンの微細化に伴ってより大きくなる。そのため、クロック入力端子から末端のフリップフロップ等に到達するまでのクロック遅延時間が長くなり、その分クロックスキューの最小化が困難になる。従って、上記従来の設計手法によりクロックスキューが最小なクロック分配系を設計しようとすると、作業が非常に面倒であるとともに、クロックスキューの最小化にも自ずから限界が生じるという問題点があることが分かった。

20 【0005】 本発明の目的は、比較的簡単にクロックスキューを最小にするクロック分配系を実現可能な設計手法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、半導体チップ内を互いに面積がほぼ等しい複数のブロックに分割し、かつ各ブロックごとにクロック入力端子とこの端子に接続されたバッファ回路を含むクロック分配系をそれぞれ独立に構成するとともに、各ブロックごとに複数段のバッファ回路を設けて、クロック分配系をクロック供給先の末端回路に向かってしだいに枝分かれするツリー状に構成しかつ各段バッファ回路間の配線が等長かつ等容量となるとともに、各段のバッファ回路のファンアウト数が同一となるよう設計するようにしたものである。

【0007】

【作用】 半導体チップが複数のブロックに分割されているため、クロック入力端子から末端のフリップフロップ等までの配線長が短くなって等長かつ等容量の配線設計が容易になるとともに、入力端子から末端回路に到達す

るまでのクロック遅延時間が短くなってクロックスキューの絶対値を小さくすることができる。

【0008】

【実施例】図1には、本発明を適用した論理LSIにおけるクロック分配系の一実施例が示されている。図1において、10は集積回路を構成する素子と配線が形成される半導体チップ、1a、1b、1c、1dは半導体チップ10に形成されたクロック入力端子としてのパッドである。この実施例では、半導体チップ10が等面積のブロック10a、10b、10c、10dに分割され、各ブロックごとに上記クロック入力端子1a、1b、1c、1dが設けられている。

【0009】そして、各ブロックごとに複数のバッファ回路3a、3b、3c……が縦続接続されてクロック供給線4a、4b、4c……が、末端回路に向かってツリー状に形成され、これによってクロックが2倍、4倍、8倍……のようにしだいに枝分かれして分配されるように構成されている。しかも、各段のバッファ回路の負荷容量（配線容量および次段ゲートの入力容量等）が一致するように、バッファ回路間および最終バッファ回路と末端回路としてのフリップフロップ2との間の配線長や各段のバッファ回路のファンアウト数が決定されている。さらに、この実施例では、上記半導体チップ10が搭載される基板上においても、クロック発生源20から上記各クロック入力端子1a、1b、1c、1dまでの配線21a～21dが等長かつ等容量となるように設計されている。

【0010】図2には、上記クロック分配系の設計手法を適用して好適な論理LSIとしてのマイクロコンピュータチップの構成例が示されている。この実施例のマイクロコンピュータは、チップ内が4つのブロックに分割されており、ブロック10aには算術論理演算器ALUと浮動小数点コントローラFCTと演算レジスタCRGが、またブロック10bには命令キューIQと命令レジスタIRと命令デコーダIDCが、ブロック10cには乗算器コントローラMCTとレジスタファイルRGEと乗算器アレイMRYとアドレスレジスタARGおよびアドレス変換バッファ回路ACBが、さらにブロック10dにはバレルシフタBSTとデータキャッシュメモリDCMがそれぞれ配置されている。そして、各ブロック10a、10b、10c、10dごとにクロック入力端子1a、1b、1c、1dが設けられ、図1に示されている方式でクロック分配用のバッファ回路3と供給線4が形成されており、各回路ブロック内のフリップフロップや論理ゲートにクロック信号が供給されるように構成されている。なお、6a～6dは入出力バッファ回路である。

【0011】図3には、本発明に係るクロック分配方式の第2の実施例が示されている。この実施例においても、半導体チップは4分割され各ブロックごとにクロッ

ク入力端子1とバッファ回路3および配線4が形成されている。図3には、このうち1つのブロック10aにおけるクロック分配系の構成のみ示されている。クロック分配系の構成は、図1の実施例と同様である。しかし、この実施例では、クロック入力端子1の他にクロック入力端子1に入力されるクロック信号CKよりも周波数は低い位相は同一である参照用のクロックCKrが入力される端子11が設けられているとともに、クロック分配系の初段バッファ回路3aと次段のバッファ回路3bとの間にクロックの遅延量を調整可能な遅延調整回路31が接続されている。また、上記参照用クロック入力端子11にはバッファ回路13が接続され、参照用クロックCKrはこのバッファ回路13を介して位相比較回路32に供給されている。

【0012】さらに、この位相比較回路32の他方の入力端子には、クロック分配系の最終段のバッファ回路3eから出力されるクロックCK'が供給され、上記参照用クロックCKrとの位相差が検出され、その差に応じた信号が制御回路15に供給される。そして、制御回路33は最終段のバッファ回路3eから出力されるクロックCK'と上記参照用クロックCKrとの位相差がゼロになるように上記遅延調整回路31を制御するように構成されている。この実施例においては、各ブロック10a、10b、10c、10dのクロック入力端子1a、1b、1c、1dに入力されるクロックCKの位相にずれがあっても、クロック入力端子から末端のフリップフロップまでのクロック信号のディレイがクロックごとに異なっても参照用クロックCKrの位相さえしっかりしていればフリップフロップ等の末端回路2に供給されるクロックCK'の位相はLSI全体で一致させることができる。

【0013】図4には、本発明に係るクロック分配方式の第3の実施例が示されている。この実施例は、クロックCKの入力端子1を半導体チップ10において1つとし、参照用クロック入力端子11に入力された参照用クロックCKrを一旦バッファ回路13aからチップの中央に設けられたバッファ回路13bに伝達し、そこから各ブロック10a、10b、10c、10d内に設けられたクロック位相調整回路30a～30dまで等しい長さの配線によって供給するようにしたものである。クロック位相調整回路30a～30dは、上記実施例と同様に遅延調整回路31と位相比較回路32と制御回路33とによって構成することができる。

【0014】また、この実施例では、各クロック位相調整回路30a～30dに、上記唯一のクロック入力端子1に入力されたクロックCKを共通に供給するようになっている。そして、各ブロック内では上記実施例と同様に複数のバッファ回路3a、3b、3c……が縦続接続されてクロック供給線4a、4b、4c……がツリー状に構成されており、クロック位相調整回路30a～30

dから出力されたクロックCK'が、バッファ回路3b, 3c……を介して末端のフリップフロップ2等に分配されるようになっている。しかも、各段のバッファ回路の負荷容量（配線容量および次段ゲートの入力容量等）が一致するように、バッファ回路間および最終バッファ回路と末端回路としてのフリップフロップ2の配線長や各段のバッファ回路のファンアウト数を決定するようになっている。この実施例においては、各ブロック10a, 10b, 10c, 10dのクロック位相調整回路30a~30dに入力されるクロックの位相にずれがあっても、参照用クロックCK_rの位相は同一であるため、フリップフロップ等の末端回路に供給されるクロックCK'の位相はLSI全体で一致させることができる。

【0015】図5には、上記遅延調整回路31の一構成例が示されている。すなわち、上記遅延調整回路31は各々異なる遅延量を有する時定数回路や論理ゲート列から成るような遅延手段D1, D2, D3, ……D_nを複数個並列的に接続しておくとともに、その後段にセクタSELを設けて、制御回路33からの制御信号によってセクタSELを制御して、バッファ回路3aからのクロック信号CKを遅延手段D1, D2, D3, ……D_nのいずれかを通して所望の遅延量を与えるようになっている。

【0016】なお、上記実施例では、半導体チップを4分割した場合について説明したが、チップの全面に半田バンプが形成されてなるいわゆるCCB実装の半導体チップ等にあっては、チップの内部に直接クロックを入力することができるため、上記実施例のごとく4分割としなくてもクロックの入力端子から各ブロックまでのクロック供給配線を等長配線に形成することができるので、チップを9分割や16分割にしてもよい。

【0017】以上説明したように、上記実施例は、半導体チップ内を互いに面積がほぼ等しい複数のブロックに分割し、かつ各ブロックごとにクロック入力端子とこの端子に接続されたバッファ回路を含むクロック分配系をそれぞれ独立に構成するとともに、各ブロックごとに複数段のバッファ回路を設けてクロック分配系をクロック供給先の末端回路に向かってしだいに枝分かれするツリー状に構成しかつ各段バッファ回路間の配線が等長かつ等容量となるとともに、各段のバッファ回路のファンアウト数が同一となるよう設計するようにしたので、クロック入力端子から末端のフリップフロップ等までの配線長が短くなって等長かつ等容量の配線設計が容易になるとともに、入力端子から末端回路までのクロック遅延時間が短くなってクロックスキューの絶対値を小さくする

ことができるという効果がある。

【0018】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では入力されるクロックが1相の場合を例にとって説明したが、この発明はそれに限定されるものでなく、互いに位相の異なる複数のクロックが入力される場合にも適用することができる。その場合、各クロックごとに上記実施例の設計手法によりクロック分配系を設計してやれば良い。ただし、図3や図4の実施例では、参照用クロックCK_rは各クロックに対して共通に使用することができる。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータに適用した場合について説明したが、この発明はそれに限定されるものでなく、半導体論理集積回路一般に利用することができる。

【0019】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、論理LSIにおいてクロックスキューを最小にするクロック分配系を比較的簡単に設計することが可能となる。

【図面の簡単な説明】

【図1】本発明を適用した論理LSIにおけるクロック分配系の一実施例を示す回路構成図である。

【図2】上記クロック分配系の設計手法を適用して好適な論理LSIとしてのマイクロコンピュータチップの構成例を示すブロック図である。

【図3】本発明を適用した論理LSIにおけるクロック分配系の第2の実施例を示す回路構成図である。

【図4】本発明を適用した論理LSIにおけるクロック分配系の第3の実施例を示す回路構成図である。

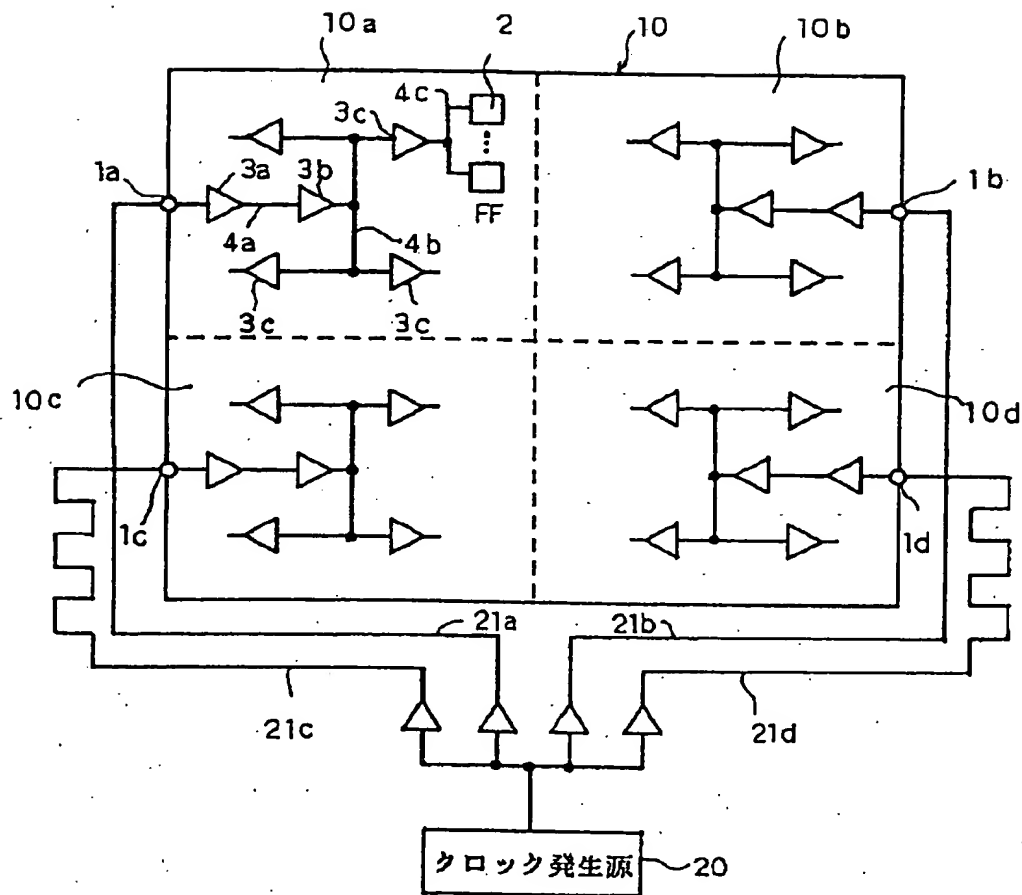
【図5】図3および図4論理集積回路における遅延調整回路の一構成例を示す回路構成図である。

【図6】従来のクロック分配回路の一例を示す回路構成図である。

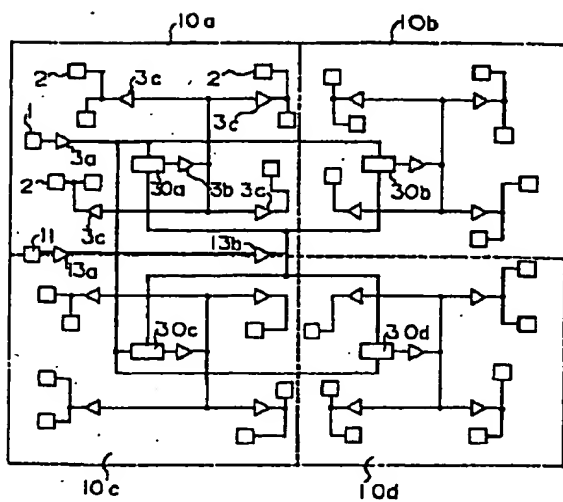
【符号の説明】

1a, 1b, 1c, 1d クロック入力端子（パッド）
2 末端回路（フリップフロップ）
3a, 3b, 3c バッファ回路
4a, 4b, 4c クロック供給線
10 半導体チップ
10a, 10b, 10c, 10d ブロック
30 位相調整回路
31 遅延調整回路

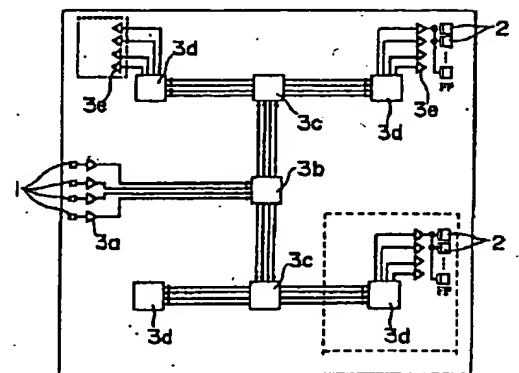
【図1】



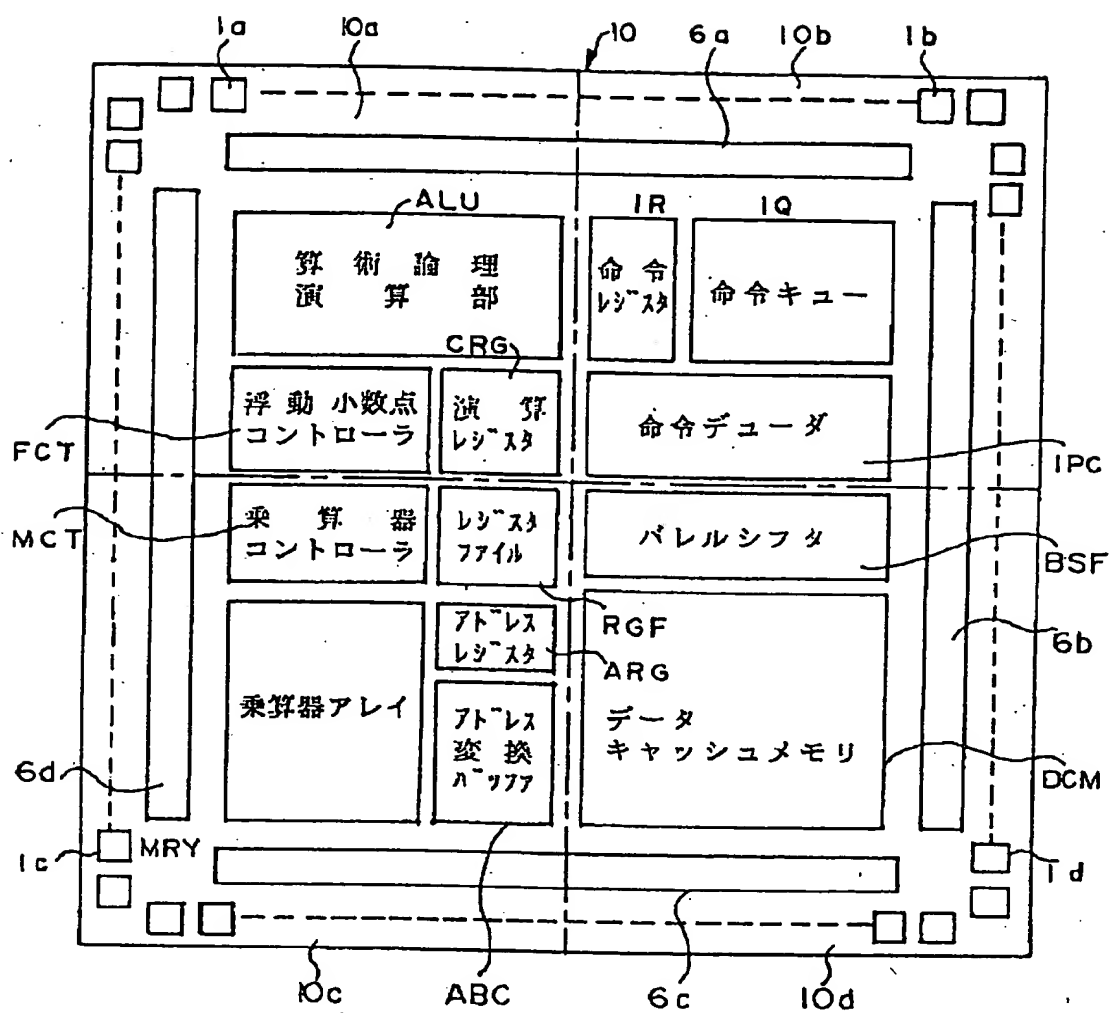
【図4】



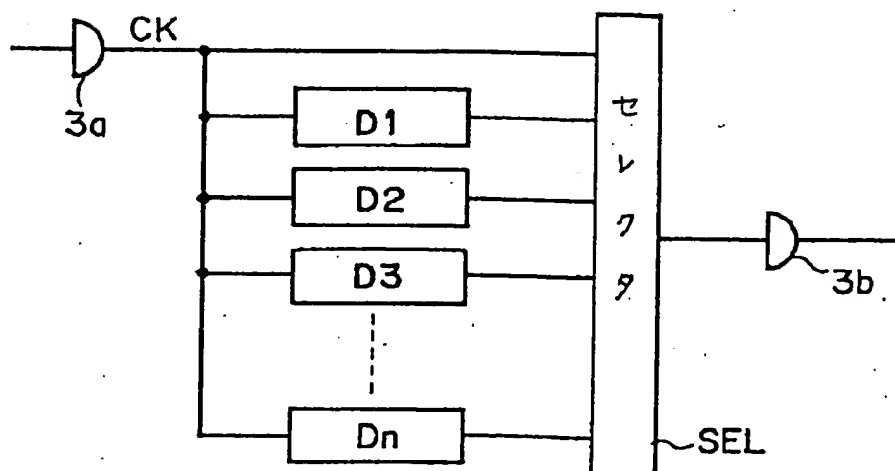
【図6】



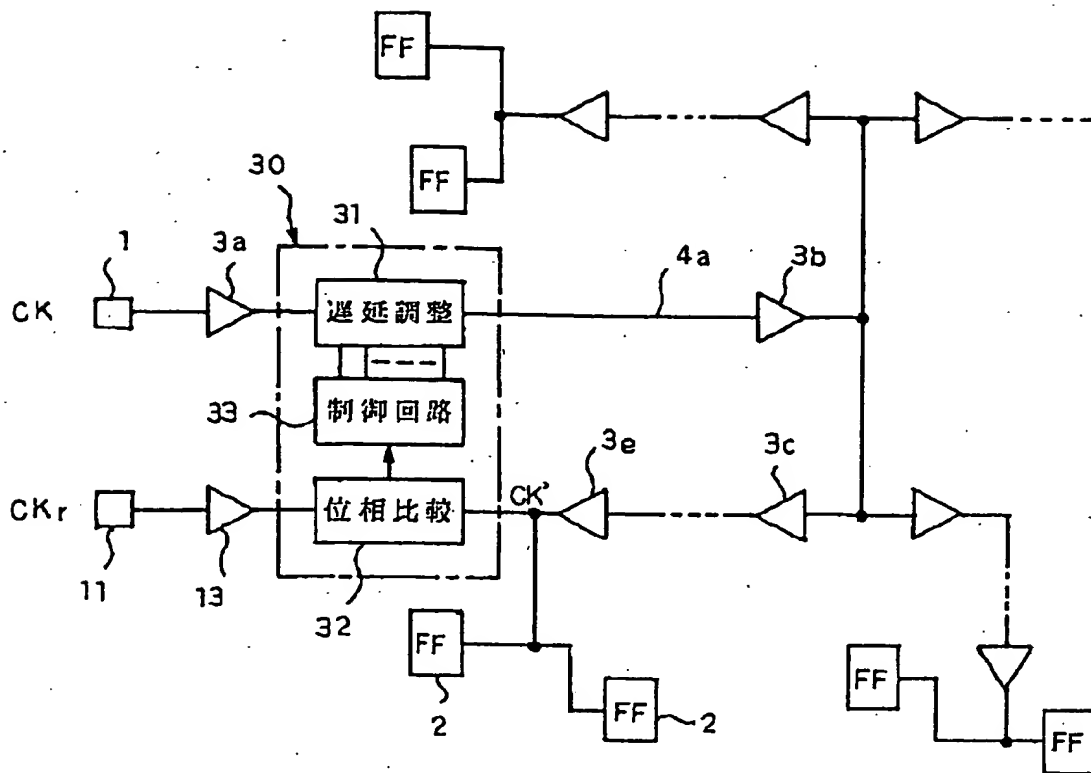
【図2】



【図5】



【図3】



This Page Blank (uspto)

This Page Blank (uspto)